

[Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)  
[First Hit](#)



Generate Collection

L2: Entry 1 of 1

File: JPAB

May 2, 1986

PUB-NO: JP361086638A  
DOCUMENT-IDENTIFIER: JP 61086638 A  
TITLE: PATTERN-DEFECT DETECTING METHOD

PUBN-DATE: May 2, 1986

## INVENTOR-INFORMATION:

NAME

COUNTRY

ICHINOSE, TOSHIAKI

NINOMIYA, TAKANORI

NAKAGAWA, YASUO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

APPL-NO: JP59208177

APPL-DATE: October 5, 1984

US-CL-CURRENT: 382/147

INT-CL (IPC): G01N 21/88; G06K 9/00; H05K 3/00

## ABSTRACT:

PURPOSE: To make it possible to detect defects such as wire breakdown, short circuits, narrow width and narrow gap of a pattern of a printed circuit, by detecting the pattern without contact by using an optical means, and obtaining the connecting relations between pads by image processing.

CONSTITUTION: A pattern to be examined is converted into an electric signal by an image sensor device 21. The signal is converted into a binary-coded signal by a binary-coding device 22. The signal is inputted to a linkage processing device 23. The corresponding relationship between the positions of pads and the pad number is prepared and stored in a pad position data memory 27 beforehand. Meanwhile, with respect to the pattern to be examined, i.e., design data, connecting data, which is obtained from the pattern to be examined that does not include defects, or connecting data, which is obtained from the pattern to be examined including defects and corrected, are read out of a connection data memory 24. The data is converted into a circulating list structure by a specified converting method on a processing device 25. The result is stored in a design data memory 26. After the images of all the circuit patterns are picked up, defect detecting algorithm is executed by the device 25. Attribute data is outputted to an attribute memory 28 and the defects are judged.

COPYRIGHT: (C)1986, JPO&amp;Japio

[Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)

## ⑫ 公開特許公報(A)

昭61-86638

⑤ Int.Cl.

G 01 N 21/88  
G 06 K 9/00  
H 05 K 3/00

識別記号

庁内整理番号

8406-2G  
Z-8320-5B  
6679-5F

⑬ 公開 昭和61年(1986)5月2日

審査請求 未請求 発明の数 1 (全12頁)

⑭ 発明の名称 パターン欠陥検出方法

⑯ 特 願 昭59-208177

⑰ 出 願 昭59(1984)10月5日

⑱ 発 明 者 一ノ瀬 敏彰 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑱ 発 明 者 二宮 隆典 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑱ 発 明 者 中川 泰夫 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 高橋 明夫 外1名

## 明 細 書

1 発明の名称 パターン欠陥検出方法

2 特許請求の範囲

1 複数又は1つのベッドから成るパターンの光学像を電気信号に変換して2値化した後、

前記ベッドに付された番号を該ベッドのアドレスとし、該ベッドが連結関係にある前記パターンに付された番号を該ベッドのデータとする接続データを循環リスト構造とし、

2 値化した正規のパターンに基づいて作成した接続データと比較することにより、前記パターンの欠陥を検出することを特徴とするパターン欠陥検出方法。

2 特許請求の範囲第1項記載のパターン欠陥検出方法において、

前記光学像を電気信号に変換して2値化した後、該2値化されたパターンの縮小又は拡大処理をすることを特徴とするパターン欠陥検出方法。

3 発明の詳細な説明

## 〔発明の利用分野〕

本発明は、印刷回路パターンなどのパターンを検査する方法に係り、特に電気的導通に関する欠陥を非接触かつ高速に検出するに好適なパターン欠陥検出方法に関する。

## 〔発明の背景〕

従来、厳密な位置合わせを必要としないパターン検査方法としては、特開昭58-179343に示された方法があった。この方法は、検出した2値パターンあるいはその細めたパターンあるいはその太めたパターンの特定の範囲内のパターン数を検出、標準パターンから求めるパターン数と比較し、一致しない場合、欠陥があると判定するものである。これによって検出画素毎の厳密なパターン位置合わせは不要となる。

しかし、この方式では、欠陥の発生位置を厳密には指摘できない。また、パターン数を計数する特定の範囲内に、パターンの分離(断線)とパターンの融合(短絡)が同時におこった場合、パターン数が標準パターン数と変わらず、

これを見逃す可能性があるという問題点があった。

#### 〔発明の目的〕

本発明の目的は、上記した従来技術の欠点をなくし、非接触かつ高速に印刷回路パターンの断線、短絡、パターン幅小、パターン間隔小などのパターン欠陥を検出する方式を提供することにある。

#### 〔発明の概要〕

光学像の電氣的処理として2値化がよく行われる。本発明においては、2値化されたパターンの選択された2点間の連結関係を調べることに特徴である。即ち、選択したパターン上の1点に付された番号をアドレスとし、連結関係にあるパターンの代表点の番号をデータとする接続データを生成する。この接続データと所定の設計データとを比較することでパターンの欠陥を判定検出する。

ここで設計データとは、あらかじめ検査対象のパターン(正しい連結関係を表わしているも

ない検査対象パターンから得られた接続関係データまたは、欠陥を含む検査対象パターンから得られた接続データを循環リスト構造に変換し、必要であれば、接続関係データ、もしくは、循環リスト構造に修正を加え、(以降、本明細書においては、前者を接続データ、後者を設計データと呼ぶ)接続データから1つずつデータを取り出し、設計データの循環リスト上にそれぞれのパッドが存在するか否かを調べることによって検査する方式である。これによって、データ量と処理量の大幅な低減を実現することができる。

まず接続データについてさらに詳しく説明する。第4図は接続データを示す。同図に示すように、接続データは、着目パッド番号をアドレスとし、データ内容は着目パッド番号と連結関係にある親パッド番号とする構成になっている。パッド番号とは、回路パターン上で導通関係等を検査する必要があるパッドに特定の規則にしたがって付された番号である。例えば、第5図

の)から連結関係を抽出し、必要があれば修正した後、循環リスト構造に変換して得られた基準データを指称するものとする。

#### 〔発明の実施例〕

回路パターンの電氣的導通を非接触で検出するには、パターンが平面上に存在することを考慮すると、パターンの光学像を検出し、導体部分のみを2値パターンとして分離抽出できれば、2値パターンに連結性処理を施し、2パッド間の2値パターン上の接続関係を開けることによって実現でき、これと、あらかじめ欠陥を含まない検査対象パターンに連結性処理を施して得られた接続データまたは欠陥を含むパターンから得られた接続データを修正し、これを循環リスト構造に変換することにより作成される正しい接続関係とを比較すれば、断線、短絡の検査が可能となる。

本発明は、連結性処理の出力データ構造として着目パッドをアドレスとし、それに接続しているパッド番号をデータ内容とし、欠陥を含ま

に示すように、上から下、左から右へという順に1から順に番号付けする。パッドのうち親パッドとは、連結した個々の回路パターンを代表する特定の1個のパッドである。親パッドの決定法は、例えば、回路パターン上で最も左上にあるものというように特定の規準を定めておけばよい。第6図のパターンを例とした接続データを第1表に示す。同図で、親パッドはパッド番号1, 4である。

つぎに、設計データについてさらに詳しく説明する。設計データはアドレスすなわちパッド番号と、その番号を表わしている数字を循環して変化させたとき、最初に現われる、そのパッドと連結関係にあるパッド番号とからなる循環リストで表現されたデータ構造を持っている。個々の循環リストは一つの連結した回路パターン上にあるすべてのパッド番号の接続関係を示したものである。ここで、接続関係とは、パッド相互間の単なる連結関係のみを意味し、幾何的な位置関係を示すものではない。ポインティ

ング順は番号の若い順または古い順とする。第6図のパターンを例とした設計データを第2表に示す。

この設計データは、欠陥を含まない検査対象パターンから連結性処理を行なうことにより得られた接続データを循環リスト構造に変換して得るか、または、欠陥を含む検査対象パターンから得られた接続データをまず循環リスト構造に変換し、その後に循環リスト構造に変換され

第 1 表

アドレス	親パッド
1	1
2	1
3	1
4	4
5	4

第 2 表

アドレス	パッド番号
1	2
2	3
3	1
4	5
5	4

たデータの欠陥部分を修正して得るものである。

つぎに、接続データを循環リスト構造に変換する方法について述べる。接続データは、データ・テーブル内に、アドレス1からnまでに格

属性データ=3、

段階3 設計データを個々の循環リストの属性データを開く、つぎに示す規準にしたがって欠陥判定する。

- ケース1 0が一つ以上あった場合  
→パッドに欠陥がある(パッドなし)
- ケース2 1が一つで他はみな2の場合  
→正常
- ケース3 1が二つ以上あった場合  
→断線
- ケース4 3が一つ以上あった場合  
→短絡

段階4 各循環リスト(連結した回路パターン)の欠陥判定結果を出力する。

以下に、図面を参照しながら、実施例を用いて本発明を一層詳細に説明するが、それらは例示に過ぎず、本発明の枠を越えることなしにいろいろの変形や改良があり得ることは勿論である。

納されているものとする。これを、第7図に示すフローチャートの手順に従って内容を書き換えることによって循環リストが得られる。

以上に説明した接続データと設計データを比較して、欠陥を検出する方法について述べる。処理の中間データを格納するために、設計データの各パッド番号(アドレス)に2ビットの属性データを付加する。そのためのアルゴリズムを以下に示す。

#### 欠陥検出アルゴリズム

- 段階1 属性データをすべて0にクリアする。
- 段階2 全ての接続データを以下の手順で設計データと比較し、属性データに結果を格納する。もし接続データの左右のパッド番号が等しいときは、属性データ=1、そうでないときは、設計データ上の循環リストを一巡し接続データの右パッド番号(親パッド番号)が設計データ上にあるか調べる。もしあるとき、属性データ=2、そうでないとき、

#### 〔発明の実施例〕

まず、本発明の最も基本的な実施例を説明する。本実施例を具体的に実行する装置の構成を第7図に示す。同図に示すように、まず、撮像装置21によって、被検査パターンの光学像を電気信号に変換する。撮像装置21にはTVカメラなどの2次元画像撮像装置を用いてもよいし、リニアセンサと一方向駆動機構との組合せによる撮像装置を用いてもよい。電気信号は、2値化装置22によって2値信号(2値パターン)に変換される。2値化方式には、固定閾値方式を用いてもよいし、安定なパターンを得るため、浮動閾値方式を用いたり、シェーディング補正の手段を用いてもよい。2値信号は、連結性処理装置23に入力され、第4図に示した接続データを作成する。パッド番号を連結性処理の際に知るため、予め設計情報もしくは、パッド間隔と個数よりパッド位置とパッド番号の対応関係を作成し、パッド位置データ・メモリ27に格納しておく、連結性処理装置は、より

具体的には本出願人が先に提出した「連結関係検出法（特願昭59-104571号）」と題する出願明細書に示された方法を具現する装置である。

一方、設計データは、あらかじめ欠陥を含まない検査対象パターンから得られた接続データ、もしくは欠陥を含む検査対象パターンから得られたものを修正した接続データを、接続データ・メモリ24から読み出し、処理装置25上で先に述べた変換方法により循環リスト構造に変換し、設計データ・メモリ26に格納しておく。そして、検査対象のすべての回路パターンの接続データを作成した後（撮像装置によるすべての回路パターンの撮像後）、処理装置25によって先に述べた欠陥検出アルゴリズムを実行し、属性データを属性データ・メモリ28に出力、欠陥判定を行なう。

第9図に示す被検査パターンを例に実際の欠陥検出処理過程を示す。2値化処理、連結性処理を経て、接続データ・メモリ24に格納された接続データの内容を第4表に示す。親ベッド

が0となっているのは、そのアドレス番号に相当するベッドが見つからなかったことを示す。一方、第10図に示す正常なパターンから得られた設計データを第5表に示す。第5表の左コラムはアドレス、中央コラムはベッド番号（ポインタ）、右コラムは属性データを示す。属性データは0に初期化しておく。まず、接続データ・メモリ24の先頭のデータを開けると左右のベッド番号とも1であるので、設計データのアドレス1の属性データを1とする。つぎの接続データも左右のベッド番号とも2であるので、

第4表

アドレス	親ベッド
1	1
2	2
3	2
4	2
5	2
6	6
7	0
8	6

第5表

アドレス	ベッド番号	属性データ
1	2	1
2	3	1
3	1	2
4	5	3
5	4	3
6	7	1
7	8	0
8	6	2

設計データのアドレス2の属性データを1とする。つぎの接続データは左ベッド番号が3、親ベッド番号は2である。まず、設計データのアドレス3のデータ（ポインタ）を開けると1であり、親ベッド番号2と一致しない。そこで、つぎにポインタの指しているアドレス1のデータを開ける。データは2であり親ベッド番号と一致したのでアドレス3の属性データを2とする。つぎの接続データの左ベッド番号は4、親ベッド番号は2である。設計データのアドレス4のデータを開けると5であり、親ベッド番号2と一致しないばかりか、データが接続データの左のベッド番号4に一致し、循環リストを一巡しても親ベッドが発見できなかったことになる。そこで、アドレス4の属性データを3とする。つぎの接続データに関しても、同様に循環リストを一巡しても親ベッドが発見できないので、アドレス5の属性データを3とする。つぎの接続データ

は左のベッド番号6、親ベッド番号6であるので、アドレス6の属性データを1とする。つぎの接続データは左のベッド番号が8、親ベッド番号が6であり、設計データのアドレス8のデータを開けると6なので、アドレス8の属性データを2とする。以上で、この場合のすべての接続データのサーチが終り、属性データが作成されたことになる。そこで、今度は属性データを各循環リスト毎に調べ、欠陥判定を行なう。まず、ベッド番号1, 2, 3より成るパターンは、属性データに1が二つあるので、断線と判定される。つぎにベッド番号4, 5より成るパターンは、属性データがすべて3であるので、短絡と判定される。また、ベッド番号6, 7, 8より成るパターンは、属性データに0があるので、ベッドなし不良が存在する（ベッド番号7）。このように、判定結果はパターン上の欠陥を正しく指摘している。ただし短絡しているパターンのうち一つは判定結果に表われない。しかし、これは重大な欠点とはなり得ない。

このように、本実施例によれば比較的簡単な構成で、非接触でパターンの短絡、断線を検出できる。

つぎに本発明による第2の実施例について説明する。本実施例を具体的に実行する装置の構成を第11図に示す。先に示した実施例(第8図)との相違は2値化装置22と連結性処理装置23との間に縮小処理装置29が入っている点であり、他の構成は全く同じである。縮小処理装置29の一実施例を第12図に示す。装置は $n$ ビットのシフト・レジスタ31( $m_2-1$ )本と $m_1$ ビットのシフト・レジスタ32 $m_2$ 本から成る。これらのシフト・レジスタは同一のサンプリング・クロックにより駆動される。 $n$ は撮像装置21の水平方向のサンプリング点数に一致させる。また、 $m_1$ 、 $m_2$ はサンプリング時間間隔、撮像装置の垂直方向分解能、検出したい欠陥の大きさにより決定される。例えばサンプリング時間間隔、垂直方向分解能がそれぞれ10 $\mu$ mに相当し、欠陥の大きさが30 $\mu$ m角であれ

ば $m_1 = m_2 = 3$ とする。(第13図)。そして、 $m_1 \times m_2$ のシフトレジスタ32の出力をAND回路33に導き、連結性処理装置23に対して出力する。第12図では、すべてのシフト・レジスタの出力を取り出しているが、検出したい欠陥の形によって選択的に取り出してもよい。第13図に示す2値パターンの第12図の装置による縮小処理結果を第14図に示す。最も短い線分を一辺とする正方形は1画素を表わす。第15図に示す被検査パターンの縮小処理後のパターンを第16図に、連結性処理で生成された接続データを第6表に、設計データを第7表に示す。さらに、先に述べた第1の実施例と同様に生成した属性データと欠陥判定結果を第7表

以下余白

第 6 表

アドレス	親ペッド
1	1
2	2
3	3
4	3
5	5
6	5
7	7
8	8
9	9
10	9
11	11
12	11

第 7 表

アドレス	設計データ	属性データ	判定結果
1	2	1	断 線
2	1	1	
3	4	1	
4	3	2	良 品
5	6	1	
6	5	2	良 品
7	8	1	
8	7	1	断 線
9	10	1	
10	9	2	良 品
11	12	1	
12	11	2	良 品

の右の欄に示す。この結果から明らかなように、規定値(この例では30 $\mu$ m)以下のパターン幅小を断線として検出できている。ただし、断線とパターン幅小の区別はできないし、微細な短絡を見逃す可能性がある。このように、本実施

例によれば、断線およびパターン幅小を区別なしに検出さえすればよい場合に、比較的簡単な構成でパターン欠陥検出装置を実現できる。

つぎに第3の実施例について説明する。本実施例を具体的に実行する装置の構成を第17図に示す。同図より明らかなように、本実施例は、第1の実施例と第2の実施例の複合である。第15図に示す被検査パターンより検出された属性データおよび欠陥判定結果を設計データとともに第8表に示す。

以下余白

第 8 表

アドレス	設計データ	属性データ		判定結果		
		原パターン	縮小パターン	原パターン	縮小パターン	総合判定
1	2	1	1	良品	断線	パターン幅小
2	1	2	1			
3	4	1	1	良品	良品	良品
4	3	2	2			
5	6	1	1	良品	良品	良品
6	5	2	2			
7	8	1	1	断線	断線	断線
8	7	1	1			
9	10	3	1	短絡	良品	微細な短絡
10	9	3	2			
11	12	1	1	良品	良品	良品
12	11	2	2			

第17図に示す装置は第8図に示す装置と第11図に示す装置を合わせたものであり、それらの図と共通する引用番号はそれらの図におけるものと同じ部分を表わし、引用番号に添えられた

成る。これらのシフト・レジスタは同一のサンプリング・クロックで駆動される。 $m$ は撮像装置の水平方向のサンプリング点数に一致させる。また、 $m_1$ 、 $m_2$ はサンプリング時間間隔、撮像装置21の垂直方向分解能、検出したい欠陥の大きさにより決定される。例えば、サンプリング時間間隔、垂直方向分解能がそれぞれ10  $\mu m$ に相当し、欠陥の大きさが30  $\mu m$ 角であれば、 $m_1 = m_2 = 3$ とする(第19図)。そして、 $m_1 \times m_2$ のシフト・レジスタ32の出力をOR回路34に導き、連結性処理装置23に対して出力する。第19図では、すべてのシフト・レジスタ32の出力をOR回路34に導いているが、検出したい欠陥の形によって、選択的に取り出してもよい。第13図に示す2値パターンの第19図の装置により拡大処理結果を第20図に示す。また、第15図に示す被検査パターンの拡大処理後のパターンを第21図に、連結性処理で生成された接続データを第9表に示す。さらに、第1の実施例と同様に生成した属性データと欠陥

$a$ は原パターンを処理する系列に属することを表わし、 $b$ は縮小パターンを処理する系列に属することを表わす。各系列における処理は、前2例と全く同じであり、最後に、原パターンより得られた判定結果と縮小パターンより得られた判定結果を総合的に判断する処理を加える。すなわち、第8表に示すように、二つの判定結果より、断線とパターン幅小の区別が可能になるとともに、微細な短絡の見逃しもなくなる。このように、本実施例によれば、断線とパターン幅小を区別して検出できる。

つぎに、本発明による第4の実施例について説明する。本実施例を具体的に実行する装置の構成を第18図に示す。第1の実施例(第8図)との相違は、2値化装置22と連結性処理装置23との間に、拡大処理装置30が入っている点であり、他の構成は全く同じである。拡大処理装置30の一実施例を第19図に示す。装置は $m_1$ ビットのシフト・レジスタ31( $m_1 - 1$ )本と $m_2$ ビットのシフト・レジスタ32  $m_2$ 本から

判定結果を設計データとともに第10表に示す。

第 9 表

アドレス	接続データ
1	1
2	1
3	3
4	3
5	5
6	5
7	7
8	7
9	3
10	3
11	5
12	5

第 10 表

アドレス	設計データ	属性データ	判定結果
1	2	1	良品
2	1	2	
3	4	1	良品
4	3	2	
5	6	1	良品
6	5	2	
7	8	1	良品
8	7	2	
9	10	3	短絡
10	9	3	
11	12	3	短絡
12	11	3	

この結果より明らかなように、規定値(この例では30  $\mu m$ )以下のパターン間隔小を短絡として検出できている。ただし、短絡パターン間隔小の区別はできないし、微細な断線を見逃す可

能性がある。このように、本実施例によれば、短絡およびパターン間隔小を区別なしに検出さえすればよい場合に、比較的簡単な構成でパターン欠陥検出装置を実現できる。

つぎに第5の実施例について説明する。本実施例を具体的に実行する装置の構成を第22図に示す。同図より明らかなように、本実施例は、第1の実施例と第4の実施例の複合である。第15図に示した被検査パターンより検出された四性データおよび欠陥判定結果を第11表に示す。第22図に示す装置は第8図に示す装置と第18図に示す装置を合わせたものであり、それらの図と共通する引用番号はそれらの図におけるものと同じ部分を変えし、引用番号に添えられた $\alpha$ は、第17図におけると同様に、原パターンを処理する系列に属することを表わし、 $\sigma$ は拡大パターンを処理する系列に属することを表わす。各系列における処理は、第1および第4の例における処理と全く同じであるが、最後に、第5の例と同様、原パターンより得られ

た判定結果と拡大パターンより得られた判定結果を総合的に判断する処理を加える。

すなわち、第11表に示すように、二つの判定結果より、短絡パターン間隔小の区別が可能になるとともに、微細な断線の見逃しもなくなる。このように、本実施例によれば、短絡とパターン間隔小を区別して検出できる。

第 11 表

アドレス	設計データ	四性データ		判定結果		
		原パターン	拡大パターン	原パターン	拡大パターン	総合判定
1	2	1	1	良品	良品	良品
2	1	2	2	良品	良品	良品
3	4	1	1	良品	良品	良品
4	3	2	2	良品	良品	良品
5	6	1	1	良品	良品	良品
6	5	2	2	良品	良品	良品
7	8	1	1	断線	良品	微細な断線
8	7	1	2	断線	良品	断線
9	10	3	3	短絡	短絡	短絡
10	9	3	3	短絡	短絡	短絡
11	12	1	3	良品	短絡	パターン間隔小
12	11	2	3	良品	短絡	パターン間隔小

つぎに本発明による第6の実施例について説明する。本実施例を具体的に実行する装置の構成を第23図に示す。同図より明らかなように、本実施例は、第2の実施例と第4の実施例の複合である。第15図に示した被検査パターンより検出された四性データおよび欠陥判定結果を設計データとともに第12表に示す。ここに至る処理は第2、第4の例と全く同じである。ただし、最後に、縮小パターンより得られた判定結果と拡大パターンより得られた判定結果を総合的に判断する処理を加える。すなわち、第13表に示すように、二つの判定結果より、パターン間隔小と微細な短絡、パターン幅小と微細な断線の区別は付かないが、その他に関しては、完全に区別して検出が可能であるとともに、見逃しもない。このように本実施例によれば、完全な短絡、完全な断線、パターン間隔小または微細な短絡、パターン幅小または微細な断線を区別して検出できる。

第 12 表

アドレス	設計データ	四性データ		判定結果		
		縮小パターン	拡大パターン	縮小パターン	拡大パターン	総合判定
1	2	1	1	断線	良品	パターン幅小
2	1	1	2	断線	良品	微小断線
3	4	1	1	良品	良品	良品
4	3	2	2	良品	良品	良品
5	6	1	1	良品	良品	良品
6	5	2	2	良品	良品	良品
7	8	1	1	断線	良品	パターン幅小
8	7	1	2	断線	良品	微小断線
9	10	1	3	良品	短絡	パターン間隔小
10	9	2	3	良品	短絡	微小短絡
11	12	1	3	良品	短絡	パターン間隔小
12	11	2	3	良品	短絡	微小短絡

第 13 表

四性データよりの判定結果		総合判定結果 (欠陥候補)
縮小パターン	拡大パターン	
良品	良品	良品
良品	短絡	パターン間隔小または微小短絡
良品	断線	解析不能の欠陥
短絡	良品	複合欠陥または解析不能の欠陥
短絡	短絡	短絡
短絡	断線	解析不能の欠陥
断線	良品	パターン幅小または微小断線
断線	短絡	複合欠陥または解析不能の欠陥
断線	断線	断線

以下余白



つぎに本発明による第7の実施例について説明する。本実施例を具体的に実行する装置の構成を第24図に示す。同図より明らかなように、本実施例は、第1、第2、第4の実施例の複合である。第15図に示した被検査パターンより検出された属性データおよび欠陥判定結果を設計データとともに第14表に示す。

アド レス	設計 データ	属性データ			判定結果			総合 判定
		原パ ターン	縮小 パターン	拡大 パターン	原パ ターン	縮小 パターン	拡大 パターン	
1	2	1	1	1	良品	断線	良品	パター ン縮小
2	1	2	1	2	良品	良品	良品	良品
3	4	1	1	1	良品	良品	良品	良品
4	3	2	2	2	良品	良品	良品	良品
5	6	1	1	1	良品	良品	良品	良品
6	5	2	2	2	断線	断線	良品	微細 断線
7	8	1	1	1	断線	断線	良品	微細 断線
8	7	1	1	2	断線	断線	良品	微細 断線
9	10	3	1	3	短絡	良品	短絡	微細 短絡
10	9	3	2	3	良品	良品	短絡	パター ン縮小
11	12	1	1	3	良品	良品	短絡	パター ン縮小
12	11	2	2	3	良品	良品	短絡	パター ン縮小

つぎに、以上説明した7つの実施例に必要なメモリ容量と処理時間について考察する。

パッドが1基板内に256×256点あると仮定し、まずメモリ容量の計算を行なう。この場合、パッド番号は16bit(2byte)で表現できると、生成される接続データは、

$$16 \text{ bit} \times 256^2 = 1,048,576 \text{ bit} \\ = 131.072 \text{ kbyte}$$

また、設計データも

$$16 \text{ bit} \times 256^2 = 1,048,576 \text{ bit} \\ = 131.072 \text{ kbyte}$$

属性データは、予備も含めて4bitで表現すると

$$4 \text{ bit} \times 256^2 = 262,144 \text{ bit} \\ = 32.768 \text{ kbyte}$$

となる。全メモリ容量を第1～第7の実施例についてそれぞれ計算すると、

第1の実施例	294.912 kbyte
第2の実施例	294.912 kbyte

ここに至る処理は、第1、第2、第4の例と全く同じである。ただし、最後に縮小パターンより得られた判定結果と拡大パターンより得られた判定結果と原パターンより得られた判定結果を総合的に判断する処理を加える。すなわち、第15表に示すように、三つの判定結果より、完全な断線、完全な短絡、微細な断線、微細な短絡、パターン幅小、パターン間隔小を完全に区別して検出が可能であるとともに、見逃しもない。このように、本実施例によれば、完全に欠陥の種類を区別した検出が可能である。

第15表

属性データよりの判定結果			総合判定結果 (欠陥候補)
原パターン	縮小パターン	拡大パターン	
良品	良品	良品	良品
良品	良品	短絡	パターン間隔小
短絡	良品	短絡	微細短絡
短絡	短絡	短絡	短絡
良品	断線	良品	パターン幅小
断線	断線	良品	微細断線
断線	断線	断線	断線
上記以外の場合			複合欠陥または解析不能の欠陥

第3の実施例	458.752 kbyte
第4の実施例	294.912 kbyte
第5の実施例	458.752 kbyte
第6の実施例	458.752 kbyte
第7の実施例	622.592 kbyte

となる。これらは、64kbitのRAMを用いると、36個～76個必要となるが、十分実現可能な容量であり、今後のRAM容量増加を考慮すると、何ら問題となるものではない。例えば、150mm角の基板を5μmの分解能で検出する時の原画像の情報量900Mbit(=112.5Mbyte)に比べ、これらは非常にコンパクトなものと言える。

また、処理時間に関しては、接続データから循環リスト構造に変換するのは、検査前に1回行なえばよいのでこれを考慮する必要はなく、したがって設計データの参照回数によって評価するものとする。1つの連結したパターン上にある平均のパッド数をnとすると、属性データ生成の際、親パッドを発見するのに要する平均

参照回数は、全パターン欠陥なしと仮定して、

$$\sum_{i=1}^n \frac{n - (i - 1)}{n} = \frac{n + 1}{2}$$

したがって、256×256パッドの場合、

$$\frac{n + 1}{2} \times 256^2$$

となる。今、全パッドの1%に、親パッドを発見できない欠陥があったとすると、この場合の参照回数は $\frac{n + 1}{2}$ から $n + 1$ になるので、

$$\left\{ \frac{n + 1}{2} \times 0.99 + (n + 1) \times 0.01 \right\} \times 256^2 \\ = \left( \frac{n + 1}{2} \times 256^2 \right) \times 1.01$$

となる。 $n = 4$ を仮定すると属性データの生成には165,478.4回の設計データの参照がある。また、欠陥の判定処理には、全設計データを1回参照すればよいので、

$$256^2 = 65,536 \text{ 回}$$

の参照が必要である。撮像装置21から、連結性処理装置23による接続データ生成までの処理はリアルタイムで処理可能である。したがっ

高速に欠陥検査を行なうことができる。

特に、接続関係を表す設計データにリスト構造を用いているので、接続マトリクスで表現する場合に比べ、例えば256×256パッドの場合、 $256^2 \times 256 \approx 2.56 \times 10^7 \text{ bit}$ から $1.05 \times 10^6 \text{ bit}$ へのデータ圧縮が実現でき、かつ処理時間も大幅に低減できる。

#### 4 図面の簡単な説明

第1図は原パターンの1例の平面図、第2図は第1図に示されたパターンに縮小処理を施して得られるパターンの平面図、第3図は第1図に示されたパターンに拡大処理を施して得られるパターンの平面図、第4図は接続データの構造を示す図表、第5図および第6図は回路パターンの2つの異なる例を示す平面図、第7図は接続データを循環リスト構造に変換するフローチャート、第8図は本発明の第1の実施の態様による方法を実施するための装置の構成を示すブロック図、第9図は被検査パターンの1例の平面図、第10図は第9図に示された被検査パ

て、撮像信号のサンプリング周波数5 MHz、処理装置をマイクロコンピュータとし、1回の設計データの参照に100μsを要すると仮定した装置で、150mm角の基板を5μmの分解能で検査したとすると、第1から第7までの実施例に関して総合的な検査処理時間は、

第1の実施例では	203.1秒
第2の実施例では	203.1秒
第3の実施例では	226.2秒
第4の実施例では	203.1秒
第5の実施例では	226.2秒
第6の実施例では	226.2秒
第7の実施例では	249.3秒

となる。

#### 〔発明の効果〕

以上説明した通り、本発明によれば、光学的手段を用いて非接触にパターンを検出し、パッド間の接続関係を画像処理で求めているので、対象パターンの多少の変動に影響を受けず、かつパターンを傷つけることなく、高い信頼性で、

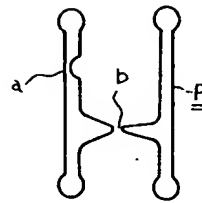
ターンに対応する正常なパターンの平面図、第11図は本発明の第2の実施の態様による方法を実施するための装置の構成を示すブロック図、第12図は縮小処理装置の構成を示すブロック図、第13図は2値パターンの一例を示す図、第14図は第13図に示されたパターンに縮小処理を施して得られるパターン図、第15図は被検査パターンの他の一つの例の平面図、第16図は第15図に示されたパターンに縮小処理を施して得られるパターンの平面図、第17図は本発明の第3の実施の態様による方法を実施するための装置の構成を示すブロック図、第18図は本発明の第4の実施の態様による方法を実施するための装置の構成を示すブロック図、第19図は拡大処理装置の構成を示すブロック図、第20図は第15図に示されたパターンに拡大処理を施して得られるパターン図、第21図は第15図に示されたパターンに拡大処理を施して得られるパターンの平面図、第22図、第23図および第24図はそれぞれ本発明の第5、第6、

および第 7 の実施の態様による方法を実施するための装置の構成を示すブロック図である。

符号の説明

- 21 … 撮像装置、
- 22 … 2 値化装置、
- 23, 23a, 23b, 23c … 連結性処理装置、
- 24, 24a, 24b, 24c … 接続データ・メモリ、
- 25 … 処理装置、
- 26 … 設計データ・メモリ、
- 27 … パッド位置データ・メモリ、
- 28 … 属性データ・メモリ、
- 29 … 縮小処理装置、
- 30 … 拡大処理装置、
- 31, 32 … シフト・レジスタ、
- 33 … AND 回路、
- 34 … OR 回路。

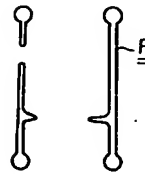
第 1 図



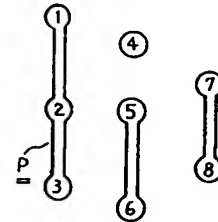
第 4 図

着目パッド番号 (アドレス)      親パッド番号

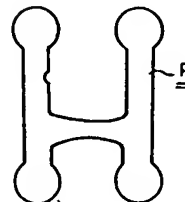
第 2 図



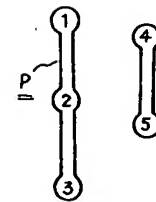
第 5 図



第 3 図

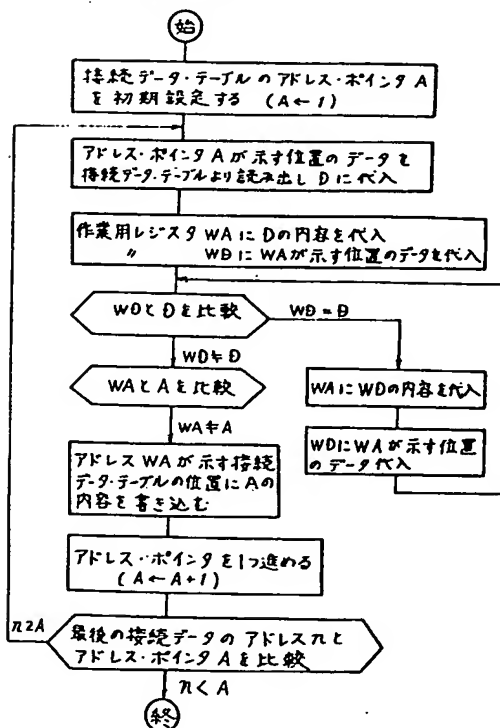


第 6 図

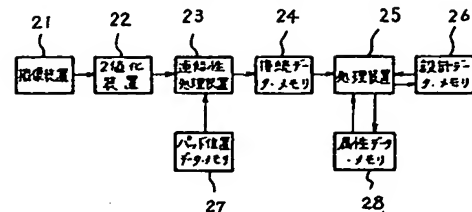


代理人弁理士 高 橋 明 夫

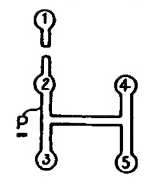
第 7 図



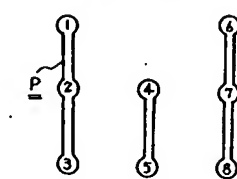
第 8 図



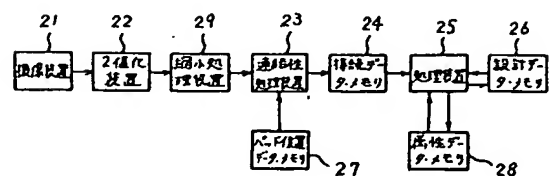
第 9 図

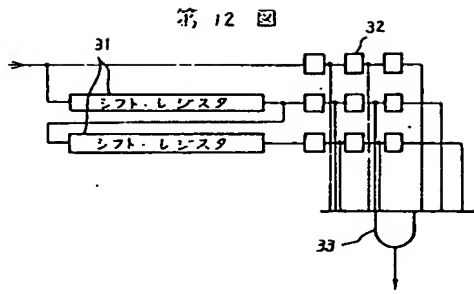


第 10 図

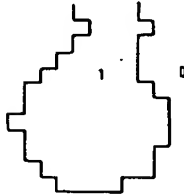


第 11 図

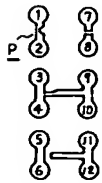




第 13 図



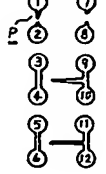
第 15 図



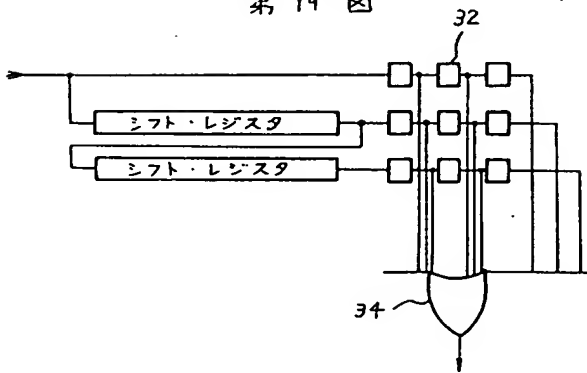
第 14 図



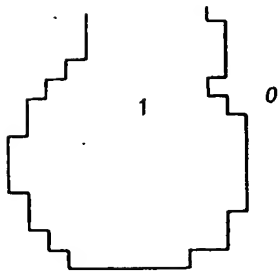
第 16 図



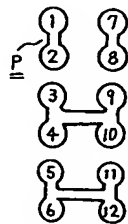
第 19 図



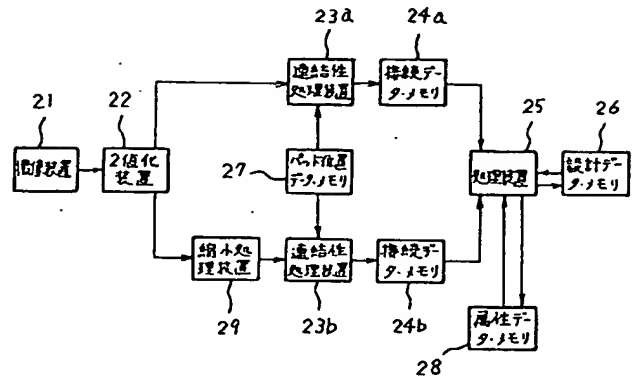
第 20 図



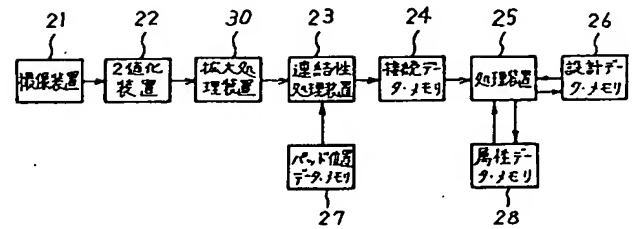
第 21 図



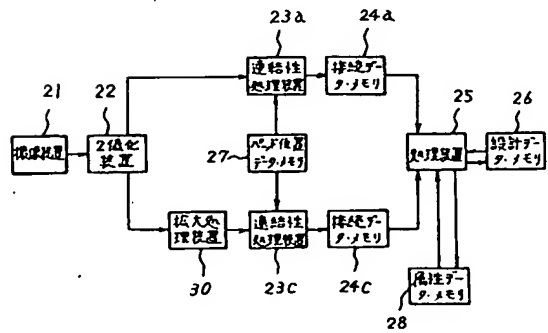
第 17 図



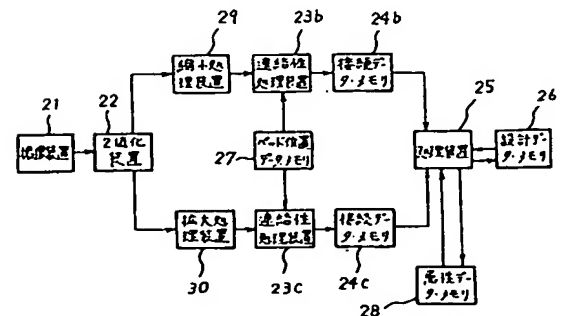
第 18 図



第 22 図



第 23 図



第 24 図

